

平成 25 年 6 月 7 日

報道関係者各位

国立大学法人 筑波大学
ディー・クルー・テクノロジーズ株式会社
国立大学法人 東京工業大学

独自技術の雑音プローブに開発した IC を搭載し、 電子デバイスの雑音特性を広帯域で計測可能に

成果のポイント

1. 独自の雑音プローブ技術に新たに開発した低雑音アンプを搭載することにより、簡便な方式で、既存の機器では計測できなかった周波数帯域の雑音計測を可能にしました。
2. これにより計測可能となった周波数帯域の雑音特性から、回路設計上重要な情報を得ることができ、電子デバイスの迅速な開発と信頼性向上につながります。

国立大学法人筑波大学【学長 永田恭介】（以下「筑波大学」という）数理物質系【系長 金谷和至】大毛利健治准教授らのグループは、ディー・クルー・テクノロジーズ株式会社（本社 横浜市、代表取締役 石川明彦）、国立大学法人東京工業大学（学長 三島良直）とともに、トランジスタ（MOSFET^{*1}）の雑音を広い周波数帯域にわたって簡便に計測する技術を開発しました。これにより、MOSFET 雑音特性のより深い理解と共に、開発段階での迅速な特性のモデリングが可能となり、より信頼性の高い電子デバイスの実現が期待されます。

MOSFET に代表される電子デバイスは、微細化を行うことで性能を向上させてきましたが、それに伴い、特性の揺らぎ（雑音）の発生という問題が生じます。雑音は、回路中の電流量を変動させ回路の誤動作の原因となります。

雑音は、その要因が特徴的な緩和時間を持つため、周波数依存性で計測されます。従来の測定機器では、数百 kHz 以下の低周波数帯域と 1GHz 付近以上の高周波数帯域での雑音計測は可能でしたが、これらの中間の周波数帯域については対応する計測機器がありませんでした。しかしながら、その帯域には、集積回路の設計に重要な幾つかの現象が現れることが知られています。

本研究では、独自に開発した雑音プローブに、雑音を増幅するための専用 IC（集積回路）を搭載しました。被測定素子と増幅器の距離を短くすることにより測定帯域を拡張し、従来、計測が困難であった 100kHz～800MHz の広い周波数帯の雑音特性の計測ができるようになりました。

本研究成果は、京都で開催される VLSI Symposia on Technology and Circuits において 2013 年 6 月 12 日 16 時 35 分（日本時間）に発表されます。

本成果は、以下の事業・研究領域・研究課題によって得られました。

戦略的創造研究推進事業 CREST

研究領域：「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」

（研究総括：渡辺久恒（株）EUVL 基盤開発センター 代表取締役社長）

研究課題名：ナノデバイスのピコ秒物理の解析による揺らぎ最小化設計指針の開発

研究代表者：大毛利健治（筑波大学）

背景・経緯

半導体はあらゆる電子機器を支える基幹部品であり、その2012年の世界市場規模は30兆円を超え、現在もなお成長している産業です。その牽引力は、最も基本的な素子であるMOSFET(*1)の高集積化／高性能化によるところが多く、ひたすらに微細化／薄膜化を進める事で達成されてきました。現在のプロセス技術ノード(22nm)では、約12mm角の面積に14億個(インテル社製Ivy Bridge)ものトランジスタが形成されます。これら膨大な数のトランジスタで構成される集積回路を正常に動作させ、尚かつ歩留まりを向上させるためには、直径300mmウェーハの全面に20nm程度の微細な構造を寸分違わず形成し、均一で特性揺らぎの無いトランジスタを作り込む必要があります。

微細化により性能は向上しますが、そのトレードオフとして顕在化する問題が、特性の揺らぎです。特性の揺らぎは、大きく2つに分けられます。1つは静特性の揺らぎで、しきい値電圧*2等のパラメータが素子毎に異なる値にばらつく現象です。その主要な原因は、チャネル不純物原子の離散化*3とされていますが、他にも、金属電極／high-k絶縁膜構造*4等の新規材料導入が挙げられます。

もう一つは、時間的な揺らぎ、いわゆる雑音であり、本研究が対象とするものです。論理演算回路では一つのトランジスタが次のトランジスタを駆動する形で情報を処理します。そのため、一定時間内に流れるドレイン電流量が揺らぐ事によって次のトランジスタを駆動するための電力が十分でないと、回路誤動作の要因となります。この雑音は、様々な要因から引き起こされますが、各要因は特徴的な周波数に現れるために、周波数依存性で議論されます。図1に示すように、MOSFET素子雑音は、低周波領域では $1/f$ 雑音*5、高周波側では周波数依存性の無い白色雑音です。また、その交差する点は、コーナー周波数(f_c)と呼ばれ、回路設計上重要なパラメータとなります。

低周波側の $1/f$ 特性の主要因であるゲート絶縁膜界面に存在するトラップでの電子の捕獲・放出は、チャネル抵抗を変化させ、その緩和時間に対応した雑音を生じます。近年の微細化により、単一のトラップにおける電子の捕獲・放出による電流変動も顕在化するようになっており、ランダムテレグラフノイズ(RTN)と呼ばれ、その挙動と抑制が盛んに研究されています。一方、1GHz以上の高周波帯域では、熱雑音*6や流れるキャリア数の揺らぎに起因したショット雑音*7が支配的要因です。ゲート長100nm以下のトランジスタでは、過剰な熱雑音成分が顕在化する事が報告されており、非平衡状態によるものと予測されていますが、まだ明らかになっていません。

図1上部に矢印で書かれているのが、各周波数帯域での雑音計測方法です。低周波雑音の測定は、一般的には被測定素子(DUT)へ直流電圧を印加して流れるドレイン電流を計測する「直流方式」で、数百kHzまでの雑音計測が可能です。一方、高周波における雑音計測は、DUTへ交流信号を入力し信号SN比の劣化(雑音指数)を計測する「交流方式」で、主に1GHz以上の雑音評価に用いられます。すなわち、現在の市販機器では、数百kHz~1GHzの雑音評価を行うことができません。

研究の内容

図2に本研究で開発した雑音プローブ技術を含む雑音測定環境の概要図を示します。ウェーハ上に作製したMOSFETの電気的特性を得るには、ウェーハをプローブステーション上に置き、MOSFETの4端子(ゲート、ソース、ドレイン、基板)へ針を当てて測定します。我々は2012年に、より高い周波数帯域における雑音計測システムとして、「直流方式」をベースに、低雑音アンプ(LNA)を搭載し、従来数十cmあったDUTから増幅器までの距離を1cm以内に縮めた雑音プローブを開発しましたが(図3(a-c))、測定帯域は150MHzまでにとどまっております、さらなる測定帯域の拡張が

課題となっていました。

本研究ではさらに、図3 (d-e)に示すように低雑音アンプをIC化し、オンウェーハ上のDUTに対して800MHzまでの雑音評価を行うことに成功しました(図4)。

このICを搭載した雑音プローブを用いてDUT雑音を測定した結果が、図5です。システムの測定限界雑音レベル(灰色)は 10^{-11} [A/ $\sqrt{\text{Hz}}$]以下です。約800MHzまでの高周波帯域でDUTの雑音計測が可能であり、10MHz付近での $1/f$ 雑音特性の傾きの変化が明瞭に示されている事がわかります。このようなアプローチによって、DUTに直流電圧を印加する簡便な「直流方式」でありながら、高周波までの帯域を確保することに成功しました。

ICの作製は $0.13\mu\text{m}$ BiCMOSというプロセスを用いて行いました。このプロセスでは、低雑音アンプの構成に適したバイポーラトランジスタとCMOS (Si MOSFET) トランジスタの両方をIC上に作り込むことが出来ます。そこで我々は、上記の雑音プローブへ搭載したICとは別に、IC内にDUTを配置したチップを作製し、LNAとDUTの距離を $200\mu\text{m}$ 程度まで近づけました。それを評価ボードへ実装することより、 $100\text{kHz}\sim 3\text{GHz}$ までの究極的に広帯域の雑音特性の計測を実現しました(図6-7)。

今後の展開

今回、雑音プローブ技術にIC化した低雑音アンプを搭載し、オンウェーハで800MHzまでの電子デバイス雑音評価を実現しました。さらに、LNAとDUTの距離を近づけることにより、 $100\text{kHz}\sim 3\text{GHz}$ までの究極的に広帯域の雑音特性の計測が可能となりました。これにより、新しい材料、プロセスおよび構造の導入に伴うデバイスの雑音を高周波まで容易に評価することができ、迅速なスクリーニングやモデリングが実現できます。また、この技術の本質は、電子デバイス内での超高速現象を外部から計測するものであり、MOSFET雑音以外にも、メモリデバイス評価や信頼性研究への応用が期待されます。

参考図

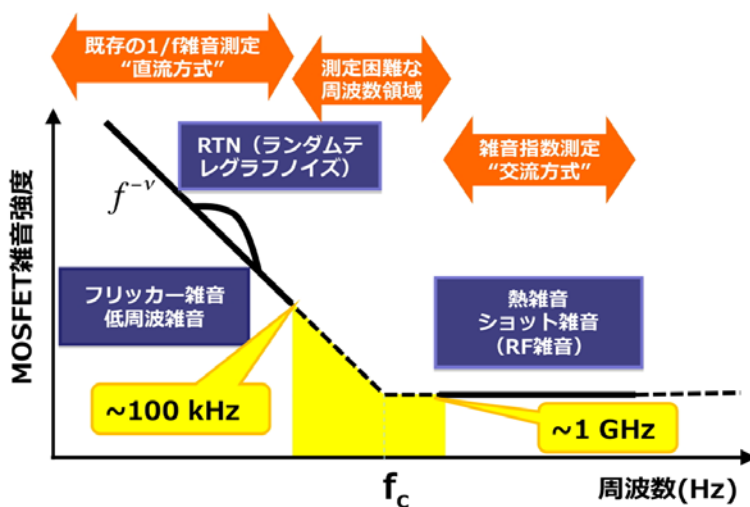


図1 MOSFET素子雑音の周波数依存性。

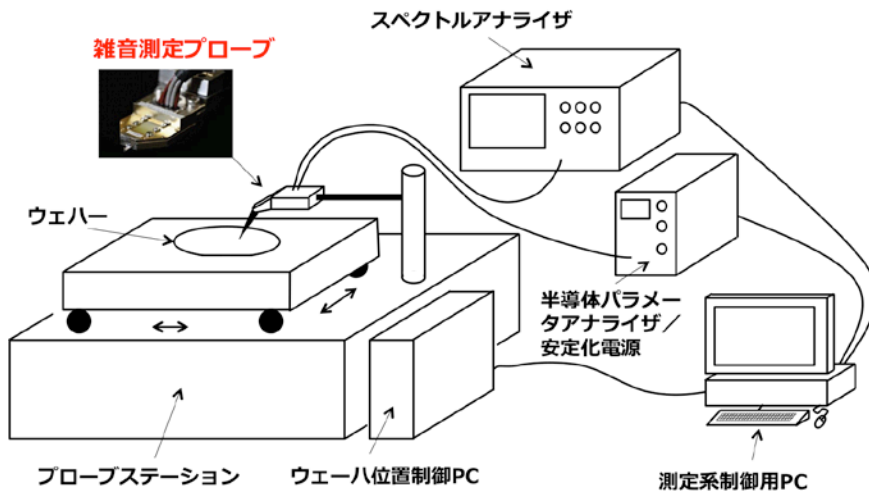


図2 雑音測定環境の概要図。

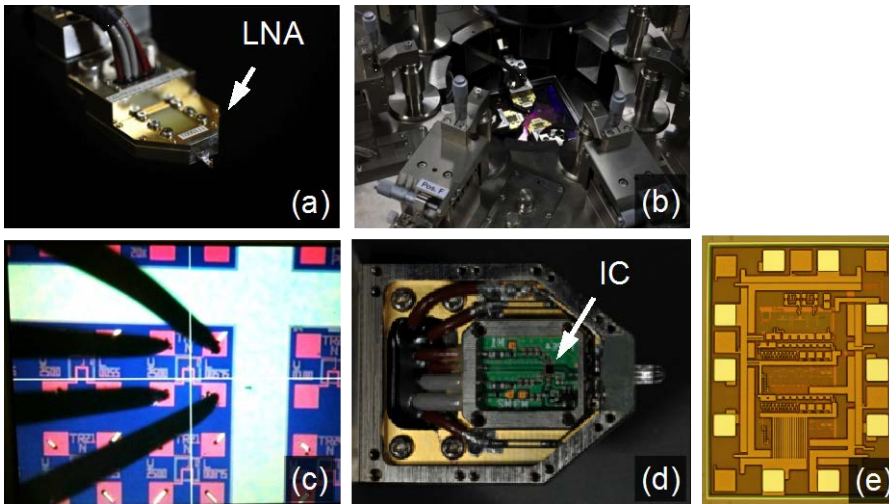


図3 (a)低雑音アンプを搭載した雑音プローブ及び(b)プローブステーションへの設置状態。(c)プローブ先端には、MOSFETの4端子に対応する4つの針がある。(d)独自開発したICを実装した二重シールドされたプローブ内部。プローブ本体の長さは約4cm。(e)プローブへ搭載した低雑音アンプICの写真。大きさは、1.1mm×0.8mm。

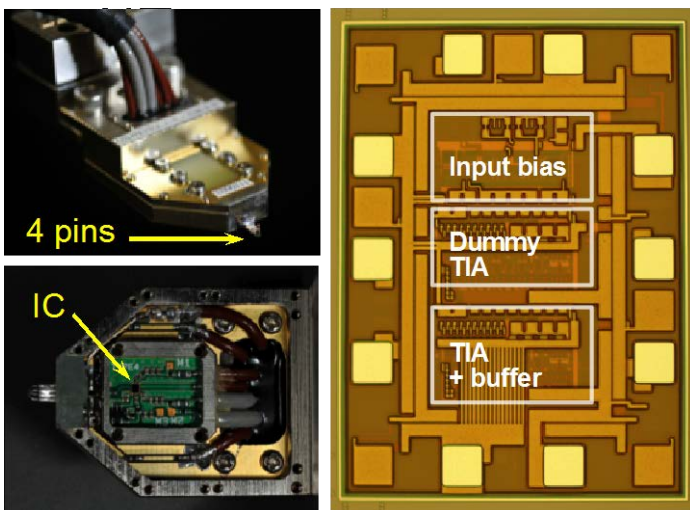


図4 図3のうち、今回の発表内容に関する写真の抜粋。

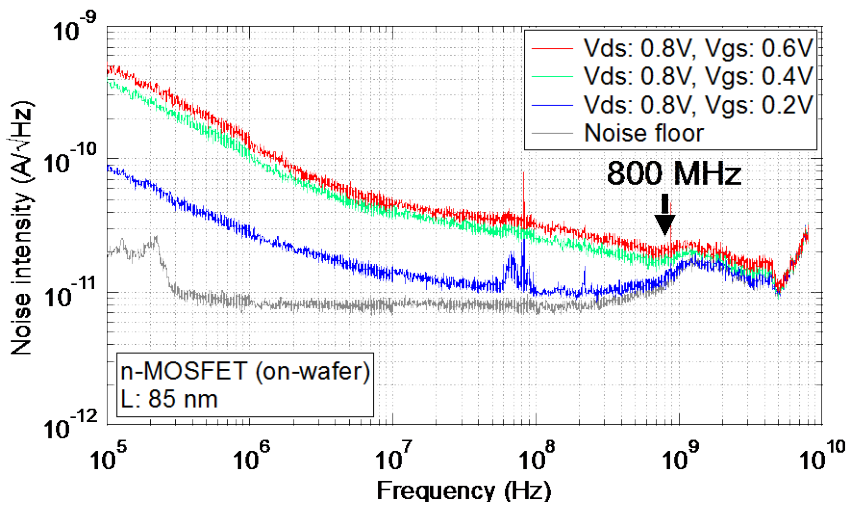


図5 IC化したLNAを搭載した雑音プローブによる雑音強度の計測結果。一番下の灰色はシステムの測定限界レベルである。約800MHzまでのMOSFET雑音計測が可能である。

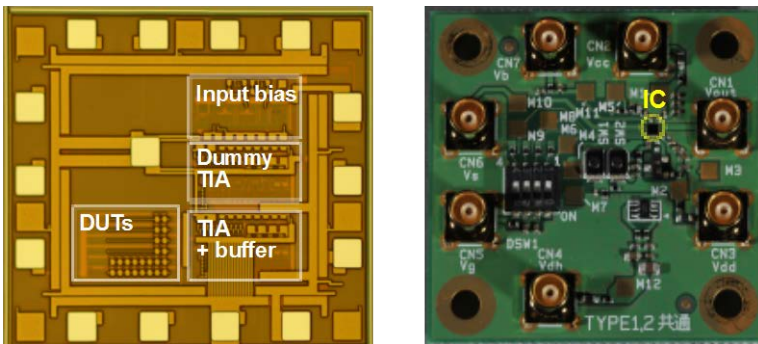


図6 (左) ICの顕微鏡写真。面積は、1.4 mm²である。
(右) ICを搭載した評価ボード。ICは帯域を確保するためにワイヤーボンディングではなくフリップチッププロセスによって評価ボードと接続した。

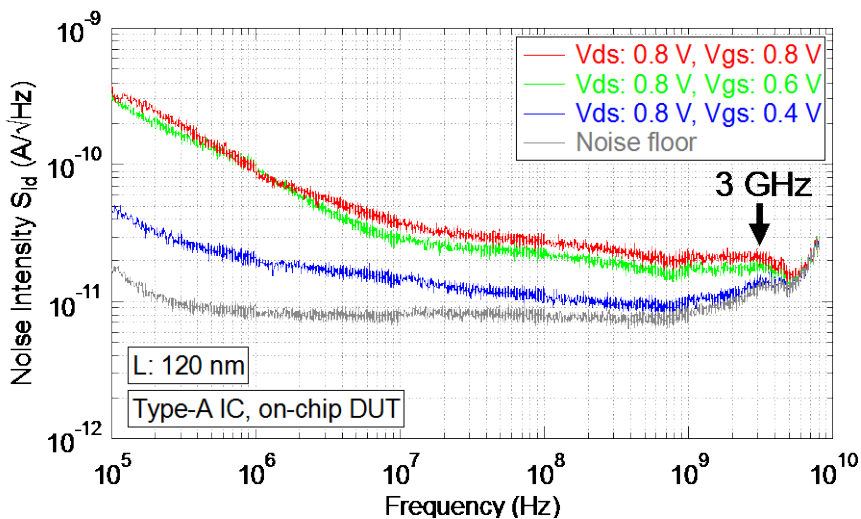


図7 ICにDUTを内蔵する事により、3GHzまでの広帯域でのMOSFET雑音評価を可能にした。

用語解説

*1 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)

金属／酸化物／半導体構造をチャネルに用いた電界効果トランジスタ。電子をキャリアとする n 型 MOSFET とホールをキャリアとする p 型 MOSFET があり、それらを組み合わせてインバータ、NAND、NOR、SRAM (static random access memory) 等の回路を構成する。集積回路の最も基本的な要素素子である。

*2 しきい値電圧

トランジスタのチャネルがオンするゲート電圧。

*3 チャネル不純物原子の離散化

トランジスタのチャネルには、伝導を制御するために不純物が添加されている。その不純物濃度は、微細化に伴い高くなっている。例えば、濃度が 10^{18}cm^{-3} の場合、不純物原子同士の距離は約 10nm となり、ゲート領域面積が $30 \times 30\text{nm}^2$ とすると、数個しか存在しない。この数が揺らぐことにより実質的にトランジスタ毎に不純物濃度が異なってしまい、しきい値電圧等の特性ばらつきが生じる。

*4 金属電極／high-k 絶縁膜構造

長年にわたって SiO_2 や SiON が用いられてきた MOSFET のゲート絶縁膜であるが、膜厚 1.2nm 以下の領域では、トンネルリーク電流を抑制することが出来ない。キャパシタ容量は $C = \epsilon_0 \epsilon_r / d$ (ϵ_0 : 真空の誘電率、 ϵ_r : 材料の比誘電率、 d : 膜厚) で表される。キャパシタ容量を保持しながら、物理膜厚を大きくしトンネル電流を抑制する方法として、大きな ϵ_r を持つ high-k 絶縁膜材料が、 SiO_2 系絶縁膜に代わり導入されている。

*5 1/f 雑音

雑音はその周波数依存性によって幾つかの種類に分けることが出来る。1/f 雑音は雑音強度が周波数の逆数に比例するもので、周波数依存性のない熱雑音が、白色雑音と言われるのに対し、ピンクノイズとも言われる。1/f 特性は、ゆらぎとして様々な現象に現れる事が知られている。

MOSFET においては、ドレイン電流の揺らぎが特にその低周波側で 1/f 特性を示すことが知られており、その機構としてキャリア数の揺らぎ (number fluctuation) と移動度揺らぎ (mobility fluctuation) があげられる。

*6 熱雑音

熱雑音はジョンソンノイズとも言われ、1927 年に発見された。温度に比例した強度を示すが、周波数依存性がない白色雑音である。雑音の大きさは、 $4kT/R$ (k : ボルツマン定数、 T : 温度、 R : 抵抗) に比例する。

*7 ショット雑音

キャリア数に比例する雑音で、伝導キャリア数が少なく、統計的に扱うことができない離散化した状態で顕在化する。熱雑音同様、白色雑音である。雑音の大きさは、電流値に比例する。

発表論文

【国際学会】VLSI Symposia on Technology and Circuits (講演番号 JJ1-7)

【タイトル】Application of Low-Noise TIA ICs for Novel Sensing of MOSFET Noise up to the GHz Region

(和訳：低雑音 TIA-IC を用いた GHz 帯域までの MOSFET 雑音計測)

【著者】Kenji Ohmori [1, 2], Ryu Hasunuma [1, 2], Satoshi Yamamoto [3], Yoshinori Tamura [3], Hao Jiang [4], Noboru Ishihara [4], Kazuya Masu [4], and Keisaku Yamada [1, 2]

大毛利健治 [1, 2]、蓮沼隆 [1, 2]、山本聡 [3]、田村吉紀 [3]、蔣浩 [4]、石原昇 [4]、益一哉 [4]、山田啓作 [1, 2]

【所属】[1] 筑波大学、[2] JST-CREST、[3] ディー・クルー・テクノロジーズ、[4] 東京工業大学

問い合わせ先

大毛利 健治 (おおもり けんじ)

筑波大学 数理物質系 准教授

藁科 克彦 (わらしな かつひこ)

ディー・クルー・テクノロジーズ株式会社

常務取締役 CMO

益 一哉 (ます かずや)

東京工業大学ソリューション研究機構 教授